

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-147483

(43)Date of publication of application : 06.06.1997

(51)Int.Cl.

G11B 20/10

G06F 3/06

G06F 3/06

(21)Application number : 07-301800

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

(22)Date of filing : 20.11.1995

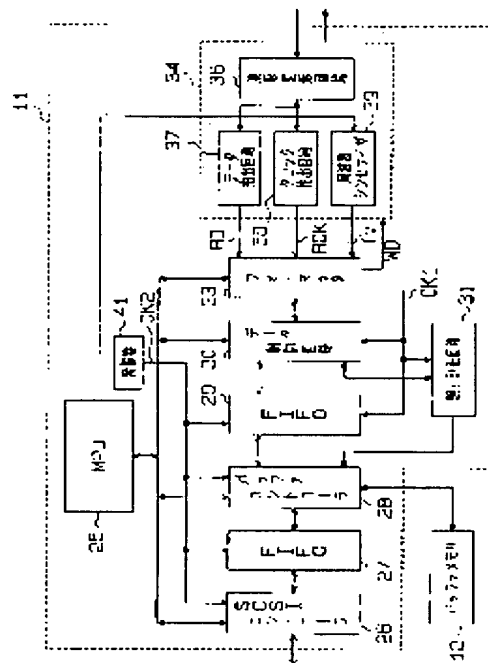
(72)Inventor : MORIUCHI TSUNEHICO

## (54) DISK CONTROL DEVICE AND DISK DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve processing efficiency of an error correction circuit while reducing power consumption.

**SOLUTION:** Data transmission control is performed between an optical disk driving device for reading out data of an optical disk under rotation and a buffer memory 12 by the optical disk control device 11. The read data transferred from the optical disk driving device by a formatter 33 and a data control circuit 30 is subjected to error correction processing by the error correction circuit 31. The formatter 33, the data control circuit 30 and the error correction circuit 31 are operated based on a reference clock CK1 corresponding to a data transfer speed of the optical disk driving device. The data corrected by the error correction circuit 31 is outputted to the buffer memory 12 by an FIFO memory 29 and a buffer controller 28. The memory 29 and the buffer controller 28 are operated based on a reference clock CK2 irrespective of the clock CK1.



## LEGAL STATUS

[Date of request for examination]

12.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

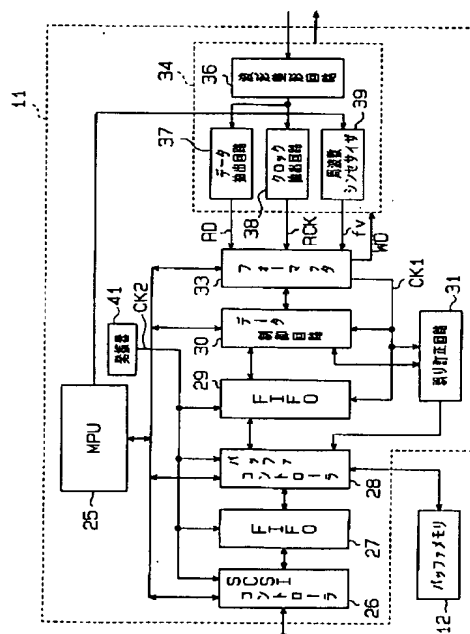
Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成9年(1997)6月6日

審査請求 未請求 請求項の数 3 O.L (全 11 頁)

(54) 【発明の名称】 ディスク制御装置及びディスク装置



## 【特許請求の範囲】

【請求項1】 ディスク型記録媒体を回転させながら該記録媒体からデータを読み出すディスク駆動装置とバッファメモリとの間におけるデータ転送制御を行うためのディスク制御装置であって、

前記ディスク駆動装置から転送されたリードデータを入力するための第1の回路手段と、

前記第1の回路手段によって入力されたリードデータの誤り訂正処理を行う誤り訂正回路と、

前記誤り訂正回路によって訂正されたデータを前記バッファメモリに出力するための第2の回路手段とを備え、前記第1の回路手段及び前記誤り訂正回路を前記ディスク駆動装置のデータ転送速度に応じた第1の基準クロックに基づいて動作させ、前記第2の回路手段を前記データ転送速度とは無関係な第2の基準クロックに基づいて動作させるようにしたディスク制御装置。

【請求項2】 前記第2の回路手段は、前記第1の基準クロックと前記第2の基準クロックとに基づいて前記訂正後のデータを該第2の回路手段が扱えるように調整するための調整手段を備える請求項1に記載のディスク制御装置。

【請求項3】 ディスク型記録媒体を回転させながら該記録媒体からデータを読み出すディスク駆動装置と、請求項1又は2に記載のディスク制御装置と、前記ディスク制御装置から出力されるデータを保持するためのバッファメモリとを備えるディスク装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、光ディスクや磁気ディスクのようなディスク型記録媒体からのデータの再生及び又は当該媒体に対するデータの記録を行うデータ記録装置に係り、詳しくは誤り訂正処理の効率化、及び消費電力の低減に関する。

## 【0002】

【従来の技術】図6は従来のディスク型記録媒体を使用したディスク装置としての光ディスク装置100を示す。光ディスク装置100は、光ディスク制御装置（以下、単に制御装置という）101、DRAMよりなるバッファメモリ102、及び、図示しないディスクを駆動するための光ディスク駆動装置（以下、単に駆動装置という）103を備えている。

【0003】駆動装置103は光ディスクを回転させながら、該ディスクのトラックにデータを書き込んだり、該ディスクからデータを読み出したりする。このライトデータ及びリードデータには光ディスクからのデータのリード時におけるサンプリングのために必要なリードクロックのデータが含まれている。従って、光ディスクからのデータのリード時において、光ディスクの外周ほど回転速度が大きいため、最外周のトラックのデータの転送速度が大きくなり、リードクロックの周波数が高くな

る。

【0004】制御装置101は、マイクロプロセッシングユニット（MPU）105、SCSIコントローラ106、第1の先入れ先出し（FIFO）メモリ107、バッファコントローラ108、第2のFIFOメモリ109、データ制御回路110、誤り訂正回路111、同期回路112、フォーマット113及び入出力装置114を含んでいる。

【0005】水晶発振器121は、入出力装置114から供給されるリードクロックRCKの最も高い周波数に基づく第2の基準クロックCK12を生成する。水晶発振器121は、基準クロックCK12をSCSIコントローラ106、FIFOメモリ107、バッファコントローラ108、FIFOメモリ109、データ制御回路110、誤り訂正回路111及び同期回路112に供給する。

【0006】MPU105は、SCSIコントローラ106、バッファコントローラ108、データ制御回路110、フォーマット113及び入出力装置114を制御する。

【0007】入出力装置114は波形整形回路116、データ抽出回路117、クロック抽出回路118及び周波数シンセサイザ119を備える。波形整形回路116は駆動装置103に接続され、同期回路116は駆動装置103によって読み出されたアナログのデータ信号を波形整形してデジタルのデータ信号に変換する。

【0008】クロック抽出回路118は波形整形回路116の出力信号からリードクロックRCKを抽出してフォーマット113及びMPU105に出力する。データ抽出回路117は波形整形回路116の出力信号からデータを抽出してフォーマット113にシリアルデータを出力する。このシリアルデータは、例えばRLCコードに符号化されている。

【0009】周波数シンセサイザ119はMPU105から出力される制御信号に基づいてリードクロックRCKに応じたリファレンスクロックf<sub>v</sub>をフォーマット113に出力する。

【0010】また、入出力装置114はフォーマット113から供給されたデジタルのライトデータ信号をアナログのライトデータ信号に変換して駆動装置103に出力する。

【0011】フォーマット113はリファレンスクロックf<sub>v</sub>を分周して第1の基準クロックCK11を生成し、同クロックCK11を同期回路112に供給する。また、フォーマット113はデータ抽出回路117から送られてきたシリアルデータRDを復調するとともに、復調したデータを基準クロックCK11に基づいてサンプリングすることによってパラレルデータに変換する。

【0012】また、フォーマット113は同期回路112から送られてきたパラレルのライトデータを符号化し

てシリアルライトデータWDを出力装置114に出力する。

【0013】同期回路112はフォーマット113とデータ制御回路110との間に接続されており、基準クロックCK11の位相と基準クロックCK12の位相との位相差を吸収し、フォーマット113から供給されるリードデータをデータ制御回路110が扱えるようにするとともに、データ制御回路110から供給されるライトデータをフォーマット113が扱えるようにする。

【0014】データ制御回路110は、第2の基準クロックCK12に基づいてライトデータ又はリードデータをFIFOメモリ109、誤り訂正回路111に分配するとともに、データ転送量の管理を行う。

【0015】誤り訂正回路111は第2の基準クロックCK12に基づいて動作する。光ディスクからのデータのリード時には、誤り訂正回路111はデータ制御回路110から送られてくるデータを基に誤りの位置及びその個数を求め、その求めた誤りの位置及びその個数をバッファコントローラ108に送る。

【0016】また、光ディスクへのデータのライト時には、誤り訂正回路111はデータ制御回路110からのデータを基に誤りの位置及び個数を求めるために必要な誤り訂正符号データを生成し、その求めた誤り訂正符号データをデータ制御回路110に送る。

【0017】FIFOメモリ109は第2の基準クロックCK12に基づいて動作し、ライトデータ又はリードデータを一時保持する。バッファコントローラ108は第2の基準クロックCK12に基づいて動作し、MPU105、SCSIコントローラ106、フォーマット113、誤り訂正回路111等のバッファメモリ102へのアクセスを調停する。

【0018】FIFOメモリ107は第2の基準クロックCK12に基づいて動作し、ライトデータ又はリードデータを一時保持する。SCSIコントローラ106は第2の基準クロックCK12に基づいて動作し、ホスト側コンピュータ123及びバッファコントローラ108間でのデータの流れを制御する。

【0019】

【発明が解決しようとする課題】しかしながら、従来の光ディスク装置100では、第1の基準クロックCK11の周波数はデータ転送速度の変化、すなわち、リードクロックRCKの変化に伴って変化するが、第2の基準クロックCK12の周波数はリードクロックRCKの最も高い周波数（データ転送速度の最大値）に基づいて設定された一定の値である。

【0020】そして、データ制御回路110及び誤り訂正回路111は第2の基準クロックCK12に基づいて光ディスクからのデータ転送速度よりも高速に動作し、消費電力が大きくなっていた。また、消費電力の増加に対して誤り訂正回路111の処理効率が低いという問題

がある。

【0021】本発明は上記問題点を解決するためになされたものであって、その目的は、低消費電力を図りつつ、誤り訂正回路の処理効率を向上できるディスク制御装置及びディスク装置を提供することにある。

【0022】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、ディスク型記録媒体を回転させながら該記録媒体からデータを読み出すディスク駆動装置とバッファメモリとの間におけるデータ転送制御を行うためのディスク制御装置であって、ディスク駆動装置から転送されたリードデータを入力するための第1の回路手段と、第1の回路手段によって入力されたリードデータの誤り訂正処理を行う誤り訂正回路と、誤り訂正回路によって訂正されたデータをバッファメモリに出力するための第2の回路手段とを備える。第1の回路手段及び誤り訂正回路をディスク駆動装置のデータ転送速度に応じた第1の基準クロックに基づいて動作させ、第2の回路手段をデータ転送速度とは無関係な第2の基準クロックに基づいて動作させるようにした。

【0023】請求項2の発明は、第2の回路手段を、第1の基準クロックと第2の基準クロックとに基づいて訂正後のデータを該第2の回路手段が扱えるように調整するための調整手段を備えるものとした。

【0024】請求項3の発明は、ディスク型記録媒体を回転させながら該記録媒体からデータを読み出すディスク駆動装置と、請求項1又は2に記載のディスク制御装置と、ディスク制御装置から出力されるデータを保持するためのバッファメモリとを備える。

【0025】（作用）本発明によれば、第1の回路手段及び誤り訂正回路はディスク駆動装置のデータ転送速度に応じた第1の基準クロックに基づいて動作するので、第1の回路手段及び誤り訂正回路の無駄な動作がなくなって消費電力が低減されるとともに、誤り訂正回路は合理的に訂正処理を実行する。

【0026】

【発明の実施の形態】以下、本発明の実施の一形態に従うディスク装置としての光ディスク装置を図1～図5に従って説明する。

【0027】図1は、本形態のディスク型記録媒体を使用したディスク装置としての光ディスク装置10を示す。光ディスク装置10は、光ディスク制御装置（以下、単に制御装置という）11、DRAMよりなるバッファメモリ12、及び、図示しないディスクを駆動するための光ディスク駆動装置（以下、単に駆動装置という）13を備えている。また、光ディスク装置10にはホスト側コンピュータ17が接続される。

【0028】駆動装置13は光ディスク14を回転させるためのスピンドルモータ15及び光ディスク14からデータを読み出すためのピックアップ16等を備える。

駆動装置13はスピンドルモータ15によって光ディスク14を回転させながら、該ディスク14のトラックにデータを書き込んだり、該ディスク14からピックアップ16によってデータを読み出したりする。

【0029】光ディスク14のライトデータ及びリードデータには光ディスク14からのデータのリード時におけるサンプリングのために必要なリードクロックのデータが含まれている。従って、光ディスク14からのデータのリード時において、光ディスク14の外周ほど回転速度が大きいため、最外周のトラックのデータの転送速度が大きくなり、リードクロックの周波数が高くなる。

【0030】図2に示すように、制御装置11は、マイクロプロセッシングユニット(MPU)25、SCSIコントローラ26、第1の先入れ先出し(FIFO)メモリ27、バッファコントローラ28、第2のFIFOメモリ29、データ制御回路30、誤り訂正回路31、フォーマッタ33及び入出力装置34を含んでいる。

【0031】本形態において、データ制御回路30、フォーマッタ33及び入出力装置34によって、駆動装置13から転送されたリードデータを入力するための第1の回路手段が構成されている。また、バッファコントローラ28及び第2のFIFOメモリ29によって、誤り訂正回路によって訂正されたデータをバッファメモリ12に出力するための第2の回路手段が構成されている。

【0032】MPU25は周波数シンセサイザ39を制御するための制御信号を出力する。また、MPU25は、SCSIコントローラ26、バッファコントローラ28、データ制御回路30、フォーマッタ33及び入出力装置34を制御する。

【0033】水晶発振器41は所定の周波数を持つ第2の基準クロックCK2を発生し、同基準クロックCK2をSCSIコントローラ26、FIFOメモリ27、バッファコントローラ28及びFIFOメモリ29に供給する。基準クロックCK2の周波数はMPU25、SCSIコントローラ26又はバッファコントローラ28の処理能力によって決定されており、前記光ディスク駆動装置13のデータ転送速度、すなわち、第1の基準クロックCK1の周波数とは無関係である。

【0034】入出力装置34は波形整形回路36、データ抽出回路37、クロック抽出回路38及び周波数シンセサイザ39を備える。波形整形回路36は駆動装置13に接続され、同回路36は駆動装置13から転送されたアナログのリードデータ信号を波形整形してデジタルのデータ信号に変換する。

【0035】クロック抽出回路38は波形整形回路36の出力信号からリードクロックRCKを抽出してフォーマッタ33及びMPU25に出力する。データ抽出回路37は波形整形回路36の出力信号からデータを抽出してフォーマッタ33にシリアルデータを出力する。このシリアルデータは、例えばRLLコードに符号化されて

いる。

【0036】周波数シンセサイザ39はMPU25から出力される制御信号に基づいてリードクロックRCKの周波数に応じた周波数のリファレンスクロックfvをフォーマッタ33に出力する。

【0037】また、入出力装置34はフォーマッタ33から供給されたデジタルのライトデータWDをアナログのライトデータ信号に変換して駆動装置13に出力する。フォーマッタ33はリファレンスクロックfvを分周することにより、リードクロックRCK、すなわち、データ転送速度に応じた周波数の第1の基準クロックCK1を生成し、同クロックCK1を第2のFIFOメモリ29、データ制御回路30及び誤り訂正回路31に供給する。

【0038】また、フォーマッタ33はデータ抽出回路37から送られてきたシリアルデータを復調するとともに、復調したデータを第1の基準クロックCK1に基づいてサンプリングすることによってパラレルデータに変換する。また、フォーマッタ33はデータ制御回路30へのリードデータの転送時において、図3に示すストローブ信号STBを第2のFIFOメモリ29に出力する。

【0039】さらに、前記光ディスク14へのデータのライト時において、フォーマッタ33はデータ制御回路30から送られてきたパラレルのライトデータを符号化してシリアルデータのライトデータWDを入出力装置34に出力する。

【0040】データ制御回路30は、第1の基準クロックCK1に基づいてライトデータ又はリードデータを第2のFIFOメモリ29及び誤り訂正回路31に分配するとともに、データ転送量の管理を行う。

【0041】誤り訂正回路31は第1の基準クロックCK1に基づいて動作する。前記光ディスク14からのデータのリード時には、誤り訂正回路31はデータ制御回路30から送られてくるリードデータを基に誤りの位置及びその個数を求め、その求めた誤りの位置及びその個数をバッファコントローラ28に送る。また、光ディスク14へのデータのライト時には、誤り訂正回路31はデータ制御回路30からのライトデータを基に誤りの位置及び個数を求めるために必要な誤り訂正符号データを生成し、その求めた誤り訂正符号データをデータ制御回路30に送る。

【0042】第2のFIFOメモリ29はデータ制御回路30とバッファコントローラ28との間に接続されている。第2のFIFOメモリ29は第2の回路手段及び調整手段を構成し、基準クロックCK1の位相と基準クロックCK2の位相との位相差を吸収し、データ制御回路30から供給されるリードデータをバッファコントローラ28が扱えるように調整するとともに、リードデータを一時保持する。

【0043】図3は第2のFIFOメモリ29の詳細を示す。FIFOメモリ29はNOT回路43、データフリップフロップ（以下、単にDFFという）44、2個の3入力AND回路45、46、第1及び第2のラッチ47、48、信号生成回路49、2個の2入力AND回路50、51及び第1及び第2のFIFOレジスタ52、53を備える。

【0044】DFF44のデータ端子Dは反転出力端子Qバーに接続され、クロック端子CKにはNOT回路43を介して前記ストローブ信号STBが入力されている。従って、ストローブ信号STBの立ち下がりエッジが入力される毎に、DFF44の出力端子Qの選択信号SL1のレベル及び反転出力端子Qバーの選択信号SL2のレベルが交互に反転する。

【0045】AND回路45には第1の基準クロックCK1、ストローブ信号STB及び選択信号SL1が入力され、AND回路45はこれら3つの信号が共にHレベルになると、Hレベルの出力信号を出力する。AND回路46には第1の基準クロックCK1、ストローブ信号STB及び選択信号SL2が入力され、AND回路46はこれら3つの信号が共にHレベルになると、Hレベルの出力信号を出力する。

【0046】第1及び第2のラッチ47、48は前記データ制御回路30からパラレルのリードデータRDPを入力している。ラッチ47のクロック端子CKにはAND回路45の出力信号が入力されている。ラッチ48のクロック端子CKにはAND回路46の出力信号が入力されている。

【0047】従って、ラッチ47には基準クロックCK1、ストローブ信号STB及び選択信号SL1が共にHレベルとなってAND回路45の出力の立ち上がりエッジが入力される毎にリードデータRDPがラッチされる。また、ラッチ48には基準クロックCK1、ストローブ信号STB及び選択信号SL2が共にHレベルとなってAND回路46の出力の立ち上がりエッジが入力される毎にリードデータRDPがラッチされる。

【0048】信号生成回路49は図4に示すように、4個の2入力AND回路55、56、57、58、2個の2入力OR回路59、60、2個のNOT回路61、62及び4個のDFF63～66を備える。

【0049】AND回路55には選択信号SL1及びストローブ信号STBが入力されており、両信号が共にHレベルになると、Hレベルの出力信号を出力する。OR回路59にはAND回路55の出力信号が入力されるとともに、DFF63の出力信号SG1が入力されており、OR回路59は両信号の一方がHレベルになると、Hレベルの出力信号を出力する。

【0050】AND回路57には選択信号SL2及びストローブ信号STBが入力されており、両信号が共にHレベルになると、Hレベルの出力信号を出力する。OR

回路60にはAND回路57の出力信号が入力されるとともに、DFF65の出力信号SG2が入力されており、OR回路60は両信号の一方がHレベルになると、Hレベルの出力信号を出力する。

【0051】DFF63のデータ端子DはOR回路59の出力端子に接続され、クロック端子CKにはNOT回路61を介して第1の基準クロックCK1が入力されている。基準クロックCK1の立ち下がりエッジが入力される毎に、OR回路59の出力信号がDFF63にラッチされて出力端子QからOR回路59の出力信号と同レベルの信号SG1が出力される。従って、選択信号SL1及びストローブ信号STBが共にHレベルの状態では基準クロックCK1の立ち下がりエッジが入力されると、DFF63からHレベルの出力信号SG1が出力される。

【0052】DFF65のデータ端子DはOR回路60の出力端子に接続され、クロック端子CKにはNOT回路61を介して第1の基準クロックCK1が入力されている。基準クロックCK1の立ち下がりエッジが入力される毎に、OR回路60の出力信号がDFF65にラッチされて出力端子QからOR回路60の出力信号と同レベルの信号SG2が出力される。従って、選択信号SL2及びストローブ信号STBが共にHレベルの状態では基準クロックCK1の立ち下がりエッジが入力されると、DFF65からHレベルの出力信号SG2が出力される。

【0053】AND回路56には前記MPU15からリセット信号XCLが入力されるとともに、DFF64の反転出力端子の出力信号が入力されている。AND回路56は両信号の一方がLレベルになると、Lレベルの信号を出力し、DFF63をリセットする。AND回路58にはリセット信号XCLが入力されるとともに、DFF66の反転出力端子の出力信号が入力されている。AND回路58は両信号の一方がLレベルになると、Lレベルの信号を出力し、DFF65をリセットする。

【0054】DFF64のデータ端子Dには出力信号SG1が入力され、クロック端子CKにはNOT回路62を介して第2の基準クロックCK2が入力されている。従って、出力信号SG1がHレベルの状態では基準クロックCK2の立ち下がりエッジが入力されると、信号SG1がDFF64にラッチされて出力端子QからHレベルのストローブ信号STB1が出力される。また、出力信号SG1がLレベルの状態では基準クロックCK2の立ち下がりエッジが入力されると、DFF64の出力端子QからLレベルのストローブ信号STB1が出力される。

【0055】DFF66のデータ端子Dには出力信号SG2が入力され、クロック端子CKにはNOT回路62を介して第2の基準クロックCK2が入力されている。従って、出力信号SG2がHレベルの状態では基準クロックCK2の立ち下がりエッジが入力されると、信号SG

2がDFF66にラッチされて出力端子QからHレベルのストロブ信号STB2が出力される。また、出力信号SG2がLレベルの状態基準クロックCK2の立ち上がりエッジが入力されると、DFF66に出力端子QからLレベルのストロブ信号STB2が出力される。

【0056】DFF64, 66はLレベルのリセット信号XCLに基づいてリセットされる。バッファコントローラ28は第2の基準クロックCK2に基づいて動作する。同コントローラ28は前記第2のFIFOメモリ29に保持されたデータをバッファメモリ12に出力するとともに、MPU25、SCSIコントローラ26、フォーマッタ33、誤り訂正回路31等のバッファメモリ12へのアクセスを調停する。

【0057】第1のFIFOメモリ27は第2の基準クロックCK2に基づいて動作し、ライトデータ又はリードデータを一時保持する。SCSIコントローラ26は第2の基準クロックCK2に基づいて動作し、ホスト側コンピュータ17及びバッファコントローラ28間でのデータの流れを制御する。

【0058】さて、本実施の形態は、以下の効果がある。

(1) 本形態では、光ディスク駆動装置13から転送されたリードデータを入力するためのフォーマッタ33、データ制御回路30及び誤り訂正回路31をディスク駆動装置13のデータ転送速度に応じた第1の基準クロックCK1に基づいて動作させるようしている。そのため、フォーマッタ33、データ制御回路30及び誤り訂正回路31の無駄な動作がなくて光ディスク制御装置11の消費電力を低減することができるとともに、誤り訂正回路31は合理的に訂正処理を実行することができ、処理効率を向上させることができる。従って、光ディスク制御装置11を備えた光ディスク装置10の消費電力も低減し、データ転送処理の効率化を図ることができる。

【0059】(2) 本形態では、第2のFIFOメモリ29によって第1の基準クロックCK1の位相と第2の

基準クロックCK2の位相との差を吸収し、データ制御回路30から供給されるリードデータをバッファコントローラ28が扱えるように調整する。そのため、従来の光ディスク制御装置101における同期回路112が不要となり、光ディスク制御装置11の構成を簡略化できる。

【0060】なお、本発明は次のように任意に変更して具体化することも可能である。

(1) 上記形態では、光ディスクを用いる光ディスク装置に具体化した但、データ記録装置として磁気ディスクを用いる磁気ディスク装置に具体化してもよい。

【0061】

【発明の効果】以上詳述したように、本発明によれば、低消費電力を図りつつ、誤り訂正回路の処理効率を向上することができる。

【図面の簡単な説明】

【図1】実施の一形態の光ディスク装置を示すブロック図

【図2】図1の光ディスク制御装置を示すブロック図

【図3】図2のFIFOレジスタを示すブロック図

【図4】図3の信号生成回路を示す回路図

【図5】図4の信号生成回路のタイムチャート

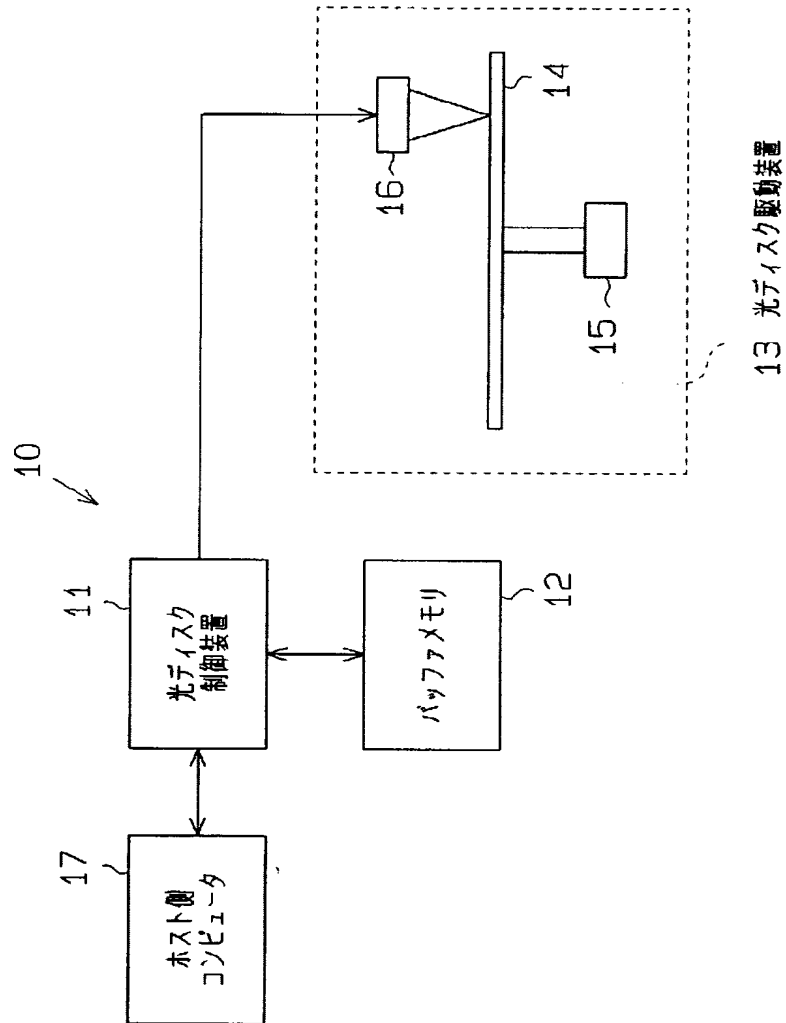
【図6】従来の光ディスク装置を示すブロック図

【符号の説明】

- 11 ディスク制御装置
- 12 バッファメモリ
- 13 ディスク駆動装置としての光ディスク駆動装置
- 14 ディスク型記録媒体としての光ディスク
- 28 第2の回路手段としてのバッファコントローラ
- 29 第2の回路手段及び調整手段としての先入れ先出しメモリ
- 30 第1の回路手段としてのデータ制御回路
- 33 第1の回路手段としてのフォーマッタ
- 31 誤り訂正回路
- CK1 第1の基準クロック
- CK2 第2の基準クロック

【図1】

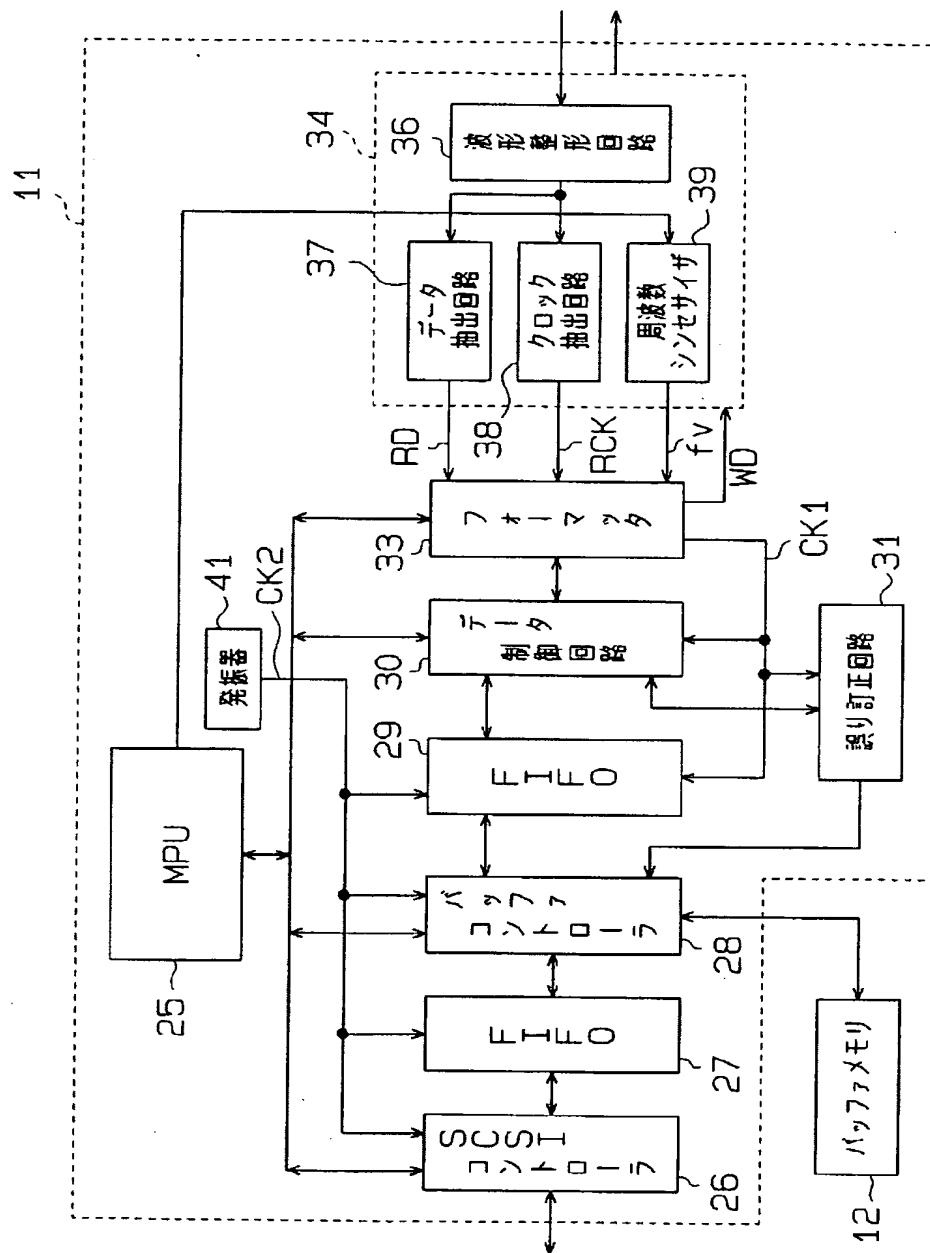
実施の一形態の光ディスク装置を示すブロック図





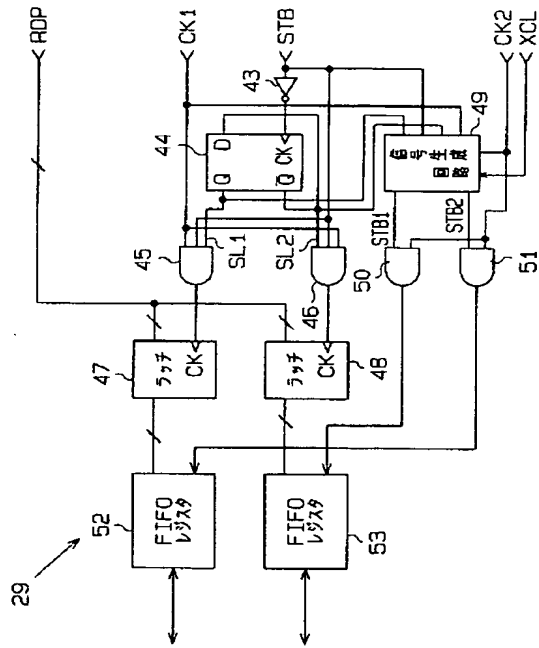
【図2】

図1の光ディスク制御装置を示すブロック図



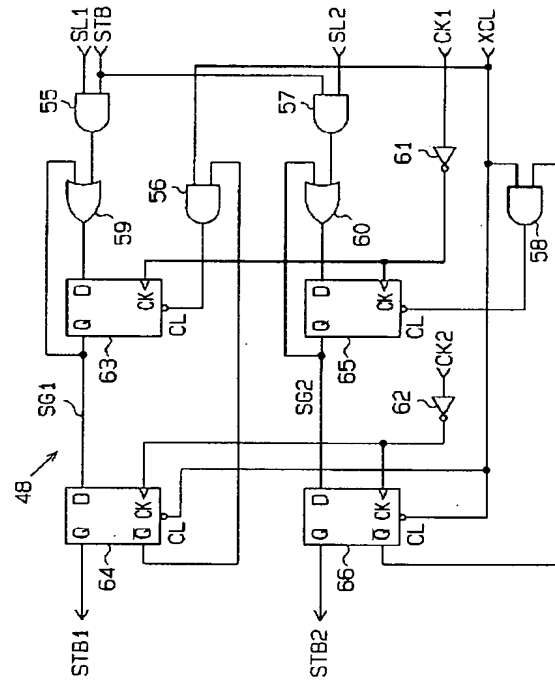
【図3】

図2のFIFOレジスタを示すブロック図



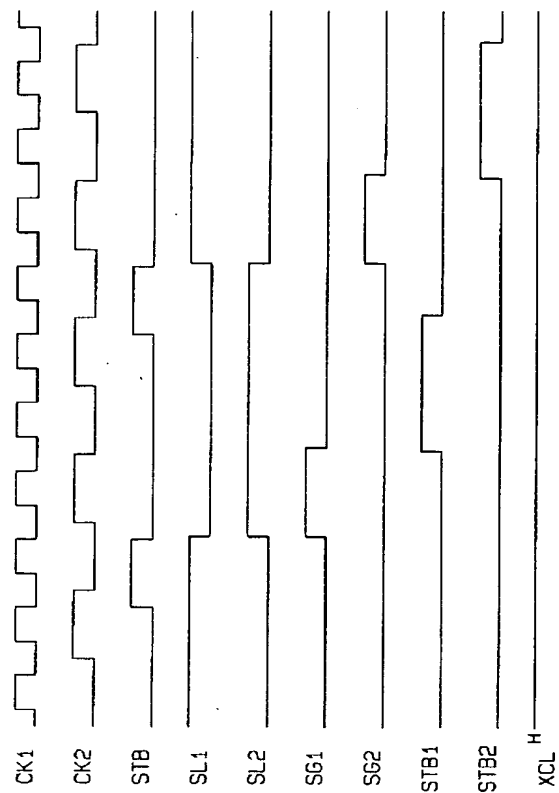
【図4】

図3の信号生成回路を示す回路図



【 図 5 】

図4の信号生成回路のタイムチャート



【図6】

従来の光ディスク装置を示すブロック図

